



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000244309 A**

(43) Date of publication of application: 08 . 09 . 00

(51) Int. Cl. **H03L 7/00**
H03L 7/06

(21) Application number: **11040499**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **18 . 02 . 99**(72) Inventor: **IWAMI KOICHI**

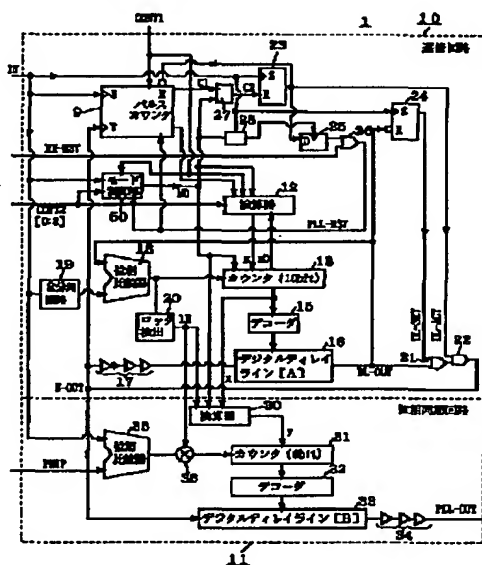
(54) **CLOCK GENERATING CIRCUIT AND
 SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the transient time until a stable output clock is obtained.

SOLUTION: In this clock generating circuit receiving a reset signal PLL-RST, a computing element 12 measures the period of the input clock IN and calculates a count for synchronization between a delay clock DL-PUT and an input clock IN on the basis of the measured period and sets the count to a counter 13. Subsequently, the counter 13 changes its count stepwise on the basis of an output signal from a phase comparator 18. After the computing element 12 sets the count of the counter 13, a computing element 30 calculates a count for synchronization between an output clock PLL-OUT and the input clock IN and sets the count to a counter 31. The counter 31 stepwise changes its count on the basis of an output signal from a phase comparator 35 so long as two phases compared by the phase comparator 18 are coincident.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-244309

(P2000-244309A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H03L 7/00		H03L 7/00	D 5J106
7/06		7/06	J

審査請求 未請求 請求項の数18 O L (全 22 頁)

(21) 出願番号 特願平11-40499

(22) 出願日 平成11年2月18日 (1999.2.18)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石見 幸一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

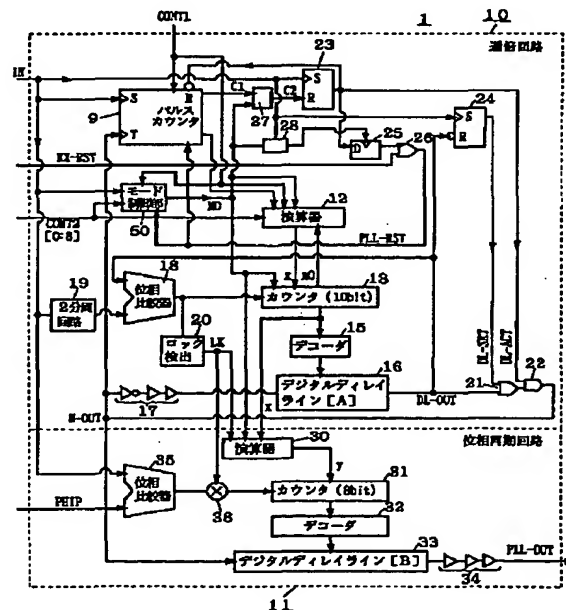
Fターム (参考) 5J106 AA03 AA05 CC21 CC52 CC54
CC59 DD17 DD24 DD39 DD42
DD44 DD46 DD48 EE08 GG13
HH02 KK03

(54) 【発明の名称】 クロック生成回路および半導体装置

(57) 【要約】

【課題】 安定した出力クロックが得られるまでの過渡的な時間を短縮する。

【解決手段】 リセット信号PLL-RSTが入力されると、演算器12は、パルスカウンタ9で入力クロックINの周期を計測し、その値にもとづいて、遅延クロックDL-OUTと入力クロックINが同期するための計数値を算出し、カウンタ13へ設定する。カウンタ13は、その後は、位相比較器18の出力信号にもとづいて、計数値を段階的に変化させる。カウンタ13の計数値が演算器12によって設定された後に、演算器30は、出力クロックPLL-OUTと入力クロックINが同期するための計数値を算出し、カウンタ31へ設定する。カウンタ31は、その後は、位相比較器18が比較する二つの位相が一致しているときに限り、位相比較器35の出力信号にもとづいて、計数値を段階的に変化させる。



【特許請求の範囲】

【請求項1】 入力クロックの周波数を逡倍して出力するクロック生成回路において、
逡延量を段階的に変更可能な可変逡延回路をループ内に含み、当該ループ内の一部から、発振するクロックを出力クロックとして、出力するリングオシレータと、
前記入力クロックと、前記ループ内で発振するクロックの逡倍比倍に分周されたクロックとの、二つの位相を比較する位相比較器と、
前記逡延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させるカウンタと、
制御信号にตอบสนองして、前記二つの位相が一致する逡延量に対応する計数値を算出し、前記カウンタへ設定する演算器と、を備えるクロック生成回路。

【請求項2】 前記出力クロックのバルス数を計数するバルスカウンタを、さらに備え、
前記演算器が、前記制御信号の一つとしてのリセット信号にตอบสนองして、前記入力クロックの周期を、前記バルス数によって計測し、計測された周期および与えられた逡倍比に対して、前記二つの位相が一致する逡延量に対応する計数値を算出し、前記カウンタへ設定する、請求項1に記載のクロック生成回路。

【請求項3】 前記演算器が、前記クロック生成回路の動作開始後、最初に前記二つの位相が一致が得られるまでは、算出および設定を行わない、請求項1に記載のクロック生成回路。

【請求項4】 前記演算器が、前記制御信号の一つとしての逡倍比の変更を指示する信号にตอบสนองして、現在の前記入力クロックの周期および前記信号が指示する変更後の逡倍比に対して、前記二つの位相が一致する逡延量に対応する計数値を算出し、前記カウンタへ設定する、請求項1ないし請求項3のいずれかに記載のクロック生成回路。

【請求項5】 前記演算器が、前記制御信号の一つとして、前記入力クロックの周期の変更を、変更後と変更前の比率とともに指示する信号にตอบสนองして、変更後の入力クロックの周期および現在の逡倍比に対して、前記二つの位相が一致する逡延量に対応する計数値を算出し、前記カウンタへ設定する、請求項1ないし請求項4のいずれかに記載のクロック生成回路。

【請求項6】 前記入力クロックと前記出力クロックとを、選択自在に前記演算器へ出力するマルチプレксаを、さらに備え、
前記演算器が、前記計数値の算出および設定以外の演算処理も行い、前記マルチプレксаが、前記演算器が前記計数値の算出および設定を行うときは前記入力クロックを選択し、その他の演算を実行するときは出力クロックを選択する、請求項1ないし請求項5のいずれかに記載のクロック生成回路。

【請求項7】 入力クロックの周波数を逡倍して出力するクロック生成回路において、
逡延量を段階的に変更可能な可変逡延回路をループ内に含み、当該ループ内の一部から、発振するクロックを出力クロックとして、出力するリングオシレータと、
前記入力クロックと、前記ループ内で発振するクロックの逡倍比倍に分周されたクロックとの、二つの位相を比較する位相比較器と、
前記出力クロックのバルス数を計数し、前記逡倍比に達することに信号を出力するバルスカウンタと、
前記位相比較器の出力信号と前記バルスカウンタの出力信号とのいずれかを、選択自在に出力するセレクタと、
前記セレクタの出力信号を受信することにより、前記逡延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に段階的に変化させるか、または、前記入力信号の周期を基準とした一定期間にわたって前記バルスカウンタが前記信号を出力することに加算するカウンタと、
前記カウンタの計数値をビットシフトして受信し、デコードした上で、ビットシフトして前記可変逡延回路へ入力するとともに、各ビットシフトの大きさが、前記二つの位相が一致するように設定されているデコーダと、を備えるクロック生成回路。

【請求項8】 前記セレクタが、リセット信号にตอบสนองして前記バルスカウンタの出力信号を選択し、前記可変逡延回路への前記計数値の設定完了後に、前記位相比較器の出力信号を選択する、請求項7に記載のクロック生成回路。

【請求項9】 前記カウンタが、前記リセット信号にตอบสนองして、前記可変逡延回路の逡延量が最小となるように前記計数値を初期化する、請求項2または請求項8に記載のクロック生成回路。

【請求項10】 前記クロック生成回路に供給される電源電圧が、あらかじめ定められた高さ以上でないときに、前記リセット信号を出力するパワーオンリセット回路を、さらに備える、請求項2、請求項8、または、請求項9に記載のクロック生成回路。

【請求項11】 前記出力クロックとして、前記入力クロックの1周期の間に、逡倍比に相当する個数のバルスが出ていないときに、前記リセット信号を出力するリセット回路を、さらに備える、請求項2、請求項8、ないし、請求項10のいずれかに記載のクロック生成回路。

【請求項12】 入力クロックの周波数を逡倍して出力するクロック生成回路において、
逡延量を段階的に変更可能な第1可変逡延回路をループ内に含み、当該ループ内の一部から、発振するクロックを逡倍クロックとして、出力するリングオシレータと、
前記入力クロックと、前記ループ内で発振するクロックの逡倍比倍に分周されたクロックとの、二つの位相を比較する第1位相比較器と、

前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させる第1カウンタと、

前記遅倍クロックを遅延させて出力クロックとして出力し、遅延量を段階的に変更可能な第2可変遅延回路と、前記入力クロックと前記出力クロックとの、二つの位相を比較する第2位相比較器と、

前記第1位相比較器が比較する前記二つの位相が一致しているときに限って、前記第2可変遅延回路の前記遅延量を規定する計数値を、前記第2位相比較器が比較する前記二つの位相のずれを解消する方向に、段階的に変化させる第2カウンタと、を備えるクロック生成回路。

【請求項13】 入力クロックの周波数を逡倍して出力するクロック生成回路において、

遅延量を段階的に変更可能な第1可変遅延回路をループ内に含み、当該ループ内の一部から、発振するクロックを逡倍クロックとして、出力するリングオシレータと、前記入力クロックと、前記ループ内で発振するクロックの逡倍比倍に分周されたクロックとの、二つの位相を比較する第1位相比較器と、

前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させる第1カウンタと、

前記遅倍クロックを遅延させて出力クロックとして出力し、遅延量を段階的に変更可能な第2可変遅延回路と、前記入力クロックと前記出力クロックとの、二つの位相を比較する第2位相比較器と、

前記第2可変遅延回路の前記遅延量を規定する計数値を、前記第2位相比較器が比較する前記二つの位相のずれを解消する方向に、段階的に変化させる第2カウンタと、

制御信号にตอบสนองして、前記第2位相比較器が比較する前記二つの位相が一致する遅延量に対応する計数値を算出し、前記第2カウンタへ設定する演算器と、を備えるクロック生成回路。

【請求項14】 前記入力クロックと前記出力クロックとを選択自在に出力するマルチプレクサを、さらに備え、

前記演算器が、前記マルチプレクサが出力するクロックに同期して動作し、しかも、前記計数値の算出および設定以外の演算処理も行い、

前記マルチプレクサは、前記演算器が前記計数値を算出および設定するときは前記入力クロックを選択し、その他の演算を実行するときは出力クロックを選択する、請求項13に記載のクロック生成回路。

【請求項15】 入力クロックの周波数を逡倍して出力するクロック生成回路において、

遅延量を段階的に変更可能な第1可変遅延回路をループ内に含み、当該ループ内の一部から、発振するクロックを逡倍クロックとして、出力するリングオシレータと、

前記入力クロックと、前記ループ内で発振するクロックの逡倍比倍に分周されたクロックとの、二つの位相を比較する第1位相比較器と、

前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させる第1カウンタと、

前記遅倍クロックを遅延させて出力クロックとして出力し、遅延量を段階的に変更可能な第2可変遅延回路と、前記入力クロックと前記出力クロックとの、二つの位相を比較する第2位相比較器と、

前記第2可変遅延回路の前記遅延量を規定する計数値を、前記第2位相比較器が比較する前記二つの位相のずれを解消する方向に、段階的に変化させるとともに、制御信号にตอบสนองして、前記第1カウンタの計数値を1ビットシフトして前記計数値に設定する第2カウンタと、

当該第2カウンタの計数値をビットシフトして受信し、デコードした上で、ビットシフトして前記第2可変遅延回路へ入力するとともに、各ビットシフトの大きさが、前記第2位相比較器が比較する前記二つの位相が一致するように設定されているデコーダと、を備えるクロック生成回路。

【請求項16】 前記制御信号が、前記第1位相比較器が比較する前記二つの位相がずれた状態から一致した状態へ移行したときに入力される、請求項13ないし請求項15のいずれかに記載のクロック生成回路。

【請求項17】 別の制御信号にตอบสนองして、前記第1位相比較器が比較する前記二つの位相が一致する遅延量に対応する計数値を算出し、前記第1カウンタへ設定する別の演算器を、さらに備え、

前記別の演算器が前記計数値を設定した後、前記制御信号が入力される、請求項13ないし請求項15のいずれかに記載のクロック生成回路。

【請求項18】 請求項1ないし請求項17のいずれかに記載のクロック生成回路と、

当該クロック生成回路が出力する出力クロックの供給を受け、当該出力クロックに同期して動作する回路と、を備える半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、マイクロプロセッサへの組み込みに好適な、入力クロックの周波数を逡倍して出力するクロック生成回路、および、このクロック生成回路を備える半導体装置に関し、特に、出力クロックが安定するまでの期間を短縮するための改良に関する。

【0002】

【従来の技術】PLL (Phase Locked Loop) 回路を有するクロック生成回路は、入力クロックに同期した同周期クロックまたは逡倍クロックを出力する回路である。近年のマイクロプロセッサは、数十から数百MHzもの高速の

クロックに同期して動作するため、逡倍クロックを出力するクロック生成回路を、必須の要素として内蔵している。

【0003】従来のPLL回路は、電圧制御発振器(VCO)を備え、その制御電圧を保持するキャパシタの電圧を、チャージポンプにより制御することによって、発振周波数を制御するアナログ型のPLL回路であった。しかし、アナログ型のPLL回路は、低い電源電圧の下では制御が困難であり、またノイズに弱く、動作が安定するまでの時間(すなわち、ロック時間)も長く、入力クロックが止まるとPLL回路の発振も停止し、再び動作するにも時間を要するという問題点があった。この問題を解決するために、デジタルディレイラインを用いたPLL回路が、いくつか発表されている。

【0004】図20は、この発明の背景となるクロック生成回路の構成を示すブロック図である。このクロック生成回路151は、文献{石見幸一他2名:「低電圧化に向けたフルデジタルPLLの開発」:「信学技報」, Vol.97, No.106, pp.29-36, (1997年6月)}に発表された回路であり、PLL回路70およびバッファ73を備えている。PLL回路70は、デジタルPLL回路として構成されており、逡倍回路71および位相同期回路72を備えている。逡倍回路71は、入力クロックINの周波数を逡倍することにより、逡倍クロックN-OUTを出力する。位相同期回路72は、逡倍クロックN-OUTを、ある逡延量(逡延時間)をもって逡延させ、出力クロックPLL-OUTとして出力する。

【0005】出力クロックPLL-OUTは、バッファ73を通じて、出力クロックPHIとして出力される。出力クロックPHIは、これに同期して動作する他の回路へと供給される。出力クロックPHIは、さらに、位相同期回路72へもフィードバックされる。位相同期回路72は、入力クロックINとフィードバックされた出力クロックPHIとの位相を比較し、それらの位相差を解消するように、逡倍クロックN-OUTに対する出力クロックPLL-OUTの逡延量を決定する。これにより、出力クロックPHIとして、入力クロックINに同期し、しかも、周波数が逡倍されたクロックが得られる。

【0006】図21は、逡倍回路71の内部構成を示すブロック図である。逡倍回路71は、デジタルディレイライン75、ディレイ微調整回路76、論理和回路80、および、論理積回路81を含むリングオシレータを備えている。デジタルディレイライン75は、可変逡延回路として構成されており、選択自在に縦属接続可能な複数の逡延素子を備えている。その逡延量は、縦属接続される逡延素子の個数に比例して、段階的に変えることが可能となっている。ディレイ微調整回路76も、同様の可変逡延回路として構成されている。ただし、逡延量の1段階ごとの変化量は、デジタルディレイライン75に比べて、ディレイ微調整回路76では、小さく設定さ

れている。

【0007】このように、リングオシレータでは、逡延量が可変である。しかも、リングオシレータは、信号がループを一巡する間に、そのレベルが反転するように、負のフィードバックループとして構成されている。このため、リングオシレータは発振し、しかも、その発振周期の1/2倍、すなわち、半周期が、信号が一巡する間の逡延量に一致する。

【0008】位相比較器79は、リングオシレータの一部であるディレイ微調整回路76の出力から得られる逡延クロックDL-OUT(の逡倍比倍に分周されたクロック)の位相と、入力クロックINの位相とを比較し、前者の位相が遅れておれば、デジタルカウンタ78の計数値を上昇させ、逆に、進んでおれば下降させる。また、双方の位相が一致しておれば、計数値は一定に保持される。

【0009】デジタルカウンタ78は、その計数値を、デジタルディレイライン75およびディレイ微調整回路76へ入力する。それによって、デジタルディレイライン75およびディレイ微調整回路76の双方を併せた逡延量は、計数値に比例して変化する。このように、逡延クロックDL-OUTの位相が入力クロックINの位相に一致するように、リングオシレータの逡延量が調整される。

【0010】制御部82は、入力クロックINおよび逡延クロックDL-OUTにもとづいて、信号DL-SETを論理和回路80へ伝達し、信号DL-ACTを論理積回路81へ伝達する。これによって、逡倍クロックN-OUTが、入力クロックINに対する所定の逡倍比を持ったクロック信号として得られる。

【0011】図22は、逡倍回路71の動作を説明するタイミングチャートである。入力クロックINの1クロック周期の開始に相当する入力クロックINの立ち上がりの時点で、制御部82は信号DL-ACTをアサートする(すなわち、アクティブにする)。それによって、逡倍クロックN-OUTがロウレベルからハイレベルへ逡移する。その結果、リングオシレータの逡延量に相当する逡延量d(より正確には、デジタルディレイライン75とディレイ微調整回路76の逡延量の総和)だけ、逡延した時刻に、逡延クロックDL-OUTがロウレベルからハイレベルへ逡移する。

【0012】制御部82は、入力クロックINの立ち上がりから、その後の逡延クロックDL-OUTの最初の立ち上がりまでの期間に限り、信号DL-SETをアサートし、それ以外の期間では、ネゲートする(すなわち、ノーマルにする)。そして、入力クロックINの立ち上がりから、逡倍クロックN-OUTが所定の逡倍比に相当する個数のパルスの出力が終了した時点で、制御部82は信号DL-ACTをネゲートする。図22では、逡倍比が4に設定された例を示している。

【0013】その結果、入力クロックINの立ち上がりごとに、4個のパルスが逡倍クロックN-OUTとして出力さ

れる。図22が示すように、遅延量dが適量よりも小さいために、遅延クロックDL-OUTの4パルス目の位相が早まるときには、この位相を遅らせるようにデジタルカウンタ78の計数値が、入力クロックINの1クロック周期ごとに、1ずつ加算（インクリメント）される。その結果、遅延クロックDL-OUTおよび通倍クロックN-OUTのパルス幅が増大してゆき、やがて、遅延クロックDL-OUTと入力クロックINの位相が一致する（すなわち、通倍回路71がロック状態となる）。

【0014】遅延量dが適量よりも大きいときには、これとは逆に、位相を早めるように、計数値が1ずつ減算（デクリメント）される。結果として、ロック状態が実現する。ロック状態では、通倍クロックN-OUTとして、周波数が入力クロックINの周波数の所定の通倍比だけ通倍されたクロックが得られる。

【0015】図23は、位相同期回路72の内部構成を示すブロック図である。位相同期回路72では、通倍クロックN-OUTは、ディレイライン87、ディレイライン88および出力セクタ90を順に通過するか、あるいは、ディレイライン87、固定遅延回路89および出力セクタ90を順に通過することにより、ある遅延量だけ遅延され、出力クロックPLL-OUTとして出力される。出力セクタ90によって、二つの遅延経路のいずれかが選択される。ディレイライン87、88は、デジタルディレイラインとして構成される。

【0016】位相比較器85は、出力クロックPHIの位相と入力クロックINの位相とを比較し、前者の位相が遅れておれば、デジタルカウンタ86の計数値を下降させ、逆に、進んでおれば上昇させる。また、双方の位相が一致しておれば、計数値は一定に保持される。デジタルカウンタ86は、その計数値を、ディレイライン87、88へ入力する。それによって、ディレイライン87、88の双方を合わせた遅延量は、計数値に比例して変化する。

【0017】図24は、位相同期回路72の動作を説明するタイミングチャートである。図24が示すように、出力クロックPHIの通倍クロックN-OUTに対する遅延量Dが適量よりも小さいために、出力クロックPHIの位相が、入力クロックINの位相よりも進んでいるときには、出力クロックPHIの位相を遅らせるように、デジタルカウンタ86の計数値が、入力クロックINの1クロック周期ごとに、1ずつ加算される。その結果、遅延量Dが増大することにより、出力クロックPHIの位相が遅れてゆき、やがて、入力クロックINの位相に一致する（すなわち、位相同期回路72がロック状態となる）。

【0018】出力クロックPHIの位相が、入力クロックINの位相よりも遅れているときには、これとは逆に、位相を早めるように、計数値が1ずつ減算される。結果として、ロック状態が実現する。以上のように、出力クロックPHIの位相が、入力クロックINの位相に一致するよ

うに、調整されるので、出力クロックPHIとして、入力クロックINに同期し、しかも、所定の通倍比だけ通倍されたクロックが得られる。

【0019】

【発明が解決しようとする課題】しかしながら、背景技術としてのクロック生成回路151では、以下に述べるような問題点があった。まず、通倍回路71では、ロック状態へ至るまでに、長い時間を要するという問題点があった。例えば、デジタルカウンタ78が、10ビットカウンタ（計数値が10ビットで表現されるカウンタ）である代表的な例では、最大では、 $2 \times 2^{10} = 2048$ クロック周期の期間が必要とされる。

【0020】ロック時間が長いと、例えば動作中に出力クロックの周波数の変更（入力クロックの周波数の変更、通倍比の変更など）を行いたい場合や、出力クロックの供給を受ける半導体装置が低電力モードの下にあるときに通倍回路71の発振を停止しておき、その後、半導体装置を通常動作モードへ戻すときに通倍回路71の発振を再開した場合などには、半導体装置が正常に動作可能となるまでに、ロック時間分だけ待たなければならぬ。特に、半導体装置の動作周波数を頻繁に変えたり、低電力モードを頻繁に使用する場合には、処理性能や消費電力に関して、不利であるという問題点があった。

【0021】また、位相同期回路72に関しても、動作状態がロック状態に達するまでに、長い時間を要するという問題点があった。例えば、デジタルカウンタ86が、8ビットカウンタである代表例では、最大 $2 \times 2^{(n-1)} = 256$ クロック周期が、ロック時間として必要となる。

【0022】また、クロック生成回路151では、ロック状態に達した後は、通倍回路71と位相同期回路72とが、独立して動作する。そのため、温度変化、電圧変化、あるいは、ノイズなどの影響によって、通倍クロックN-OUTの周期が微妙に変化したとき、出力クロックPLL-OUTと入力クロックINとの間に、位相ずれが発生する。図25は、この動作を説明するためのタイミングチャートである。図25が例示するように、ロック状態にあるときに、何らかの影響で通倍クロックN-OUTの周期が短くなった（すなわち、周波数が高くなった）場合には、その影響によって、出力クロックPLL-OUTの位相が進む（時刻t41）。

【0023】このとき、通倍回路71は、ディレイライン75、76の遅延量を大きくすることによって、通倍クロックN-OUTの周期を拡大しようとする。それと同時に、位相同期回路72も、ディレイライン87、88の遅延量を大きくして、出力クロックPLL-OUTの位相を入力クロックINの位相に合わせようとする。出力クロックPLL-OUTと入力クロックINとの間の位相ずれは、通倍クロックN-OUTの周期が正しい値に復帰できれば、それだけで解消されるものであるにも関わらず、通倍回路71

10

20

30

40

50

までもが、その遅延量を拡大するために、つぎのクロック周期(時刻 t_{42})では、出力クロックPLL-OUTの位相が、入力クロックINの位相よりも、逆に遅れてしまう。

【0024】このように、通倍回路71と位相同期回路72の双方が、互いに独立に、遅延量の制御を行うことに由来して、出力クロックPLL-OUTと通倍クロックN-OUTとの間の位相差に、ジッタが生じるという問題点があった。ジッタが生じると、通倍回路71と位相同期回路72の双方の動作状態がロック状態へと復帰し、安定した出力クロックPLL-OUTが得られるまでに、長い時間を要することとなる。

【0025】この発明は、背景となるクロック生成回路における上記した問題点を解消するためになされたもので、安定した出力クロックが得られるまでの過渡的な時間を短縮することのできるクロック生成回路を得ることを目的とし、さらに、このクロック生成回路を備える半導体装置を提供することを目的とする。

【0026】

【課題を解決するための手段】第1の発明の回路は、入力クロックの周波数を通倍して出力するクロック生成回路において、遅延量を段階的に変更可能な可変遅延回路をループ内に含み、当該ループ内の一部から、発振するクロックを出力クロックとして、出力するリングオシレータと、前記入力クロックと、前記ループ内で発振するクロックの通倍比に分周されたクロックとの、二つの位相を比較する位相比較器と、前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させるカウンタと、制御信号にตอบสนองして、前記二つの位相が一致する遅延量に対応する計数値を算出し、前記カウンタへ設定する演算器と、を備える。

【0027】第2の発明の回路は、第1の発明のクロック生成回路において、前記出力クロックのバルス数を計数するバルスカウンタを、さらに備え、前記演算器が、前記制御信号の一つとしてのリセット信号にตอบสนองして、前記入力クロックの周期を、前記バルス数によって計測し、計測された周期および与えられた通倍比に対して、前記二つの位相が一致する遅延量に対応する計数値を算出し、前記カウンタへ設定する。

【0028】第3の発明の回路では、第1の発明のクロック生成回路において、前記演算器が、前記クロック生成回路の動作開始後、最初に前記二つの位相が一致が得られるまでは、算出および設定を行わない。

【0029】第4の発明の回路では、第1ないし第3のいずれかの発明のクロック生成回路において、前記演算器が、前記制御信号の一つとしての通倍比の変更を指示する信号にตอบสนองして、現在の前記入力クロックの周期および前記信号が指示する変更後の通倍比に対して、前記二つの位相が一致する遅延量に対応する計数値を算出し、前記カウンタへ設定する。

【0030】第5の発明の回路では、第1ないし第4のいずれかの発明のクロック生成回路において、前記演算器が、前記制御信号の一つとして、前記入力クロックの周期の変更を、変更後と変更前の比率とともに指示する信号にตอบสนองして、変更後の入力クロックの周期および現在の通倍比に対して、前記二つの位相が一致する遅延量に対応する計数値を算出し、前記カウンタへ設定する。

【0031】第6の発明の回路は、第1ないし第5のいずれかの発明のクロック生成回路において、前記入力クロックと前記出力クロックとを、選択自在に前記演算器へ出力するマルチプレクサを、さらに備え、前記演算器が、前記計数値の算出および設定以外の演算処理をも行い、前記マルチプレクサが、前記演算器が前記計数値の算出および設定を行うときは前記入力クロックを選択し、その他の演算を実行するときは出力クロックを選択する。

【0032】第7の発明の回路は、入力クロックの周波数を通倍して出力するクロック生成回路において、遅延量を段階的に変更可能な可変遅延回路をループ内に含み、当該ループ内の一部から、発振するクロックを出力クロックとして、出力するリングオシレータと、前記入力クロックと、前記ループ内で発振するクロックの通倍比に分周されたクロックとの、二つの位相を比較する位相比較器と、前記出力クロックのバルス数を計数し、前記通倍比に達することに信号を出力するバルスカウンタと、前記位相比較器の出力信号と前記バルスカウンタの出力信号とのいずれかを、選択自在に出力するセレクタと、前記セレクタの出力信号を受信することにより、前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に段階的に変化させるか、または、前記入力信号の周期を基準とした一定期間にわたって前記バルスカウンタが前記信号を出力することに加算するカウンタと、前記カウンタの計数値をビットシフトして受信し、デコードした上で、ビットシフトして前記可変遅延回路へ入力するとともに、各ビットシフトの大きさが、前記二つの位相が一致するように設定されているデコーダと、を備える。

【0033】第8の発明の回路では、第7の発明のクロック生成回路において、前記セレクタが、リセット信号にตอบสนองして前記バルスカウンタの出力信号を選択し、前記可変遅延回路への前記計数値の設定完了後に、前記位相比較器の出力信号を選択する。

【0034】第9の発明の回路では、第2または第8の発明のクロック生成回路において、前記カウンタが、前記リセット信号にตอบสนองして、前記可変遅延回路の遅延量が最小となるように前記計数値を初期化する。

【0035】第10の発明の回路は、第2、第8、または、第9の発明のクロック生成回路において、前記クロック生成回路に供給される電源電圧が、あらかじめ定め

られた高さ以上でないときに、前記リセット信号を出力するパワーオンリセット回路を、さらに備える。

【0036】第11の発明の回路は、第2、第8、ないし、第10のいずれかの発明のクロック生成回路において、前記出力クロックとして、前記入力クロックの1周期の間に、遅倍比に相当する個数のパルスが出ていないときに、前記リセット信号を出力するリセット回路を、さらに備える。

【0037】第12の発明の回路は、入力クロックの周波数を遅倍して出力するクロック生成回路において、遅延量を段階的に変更可能な第1可変遅延回路をループ内に含み、当該ループ内の一部から、発振するクロックを遅倍クロックとして、出力するリングオシレータと、前記入力クロックと、前記ループ内で発振するクロックの遅倍比に分周されたクロックとの、二つの位相を比較する第1位相比較器と、前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させる第1カウンタと、前記遅倍クロックを遅延させて出力クロックとして出力し、遅延量を段階的に変更可能な第2可変遅延回路と、前記入力クロックと前記出力クロックとの、二つの位相を比較する第2位相比較器と、前記第1位相比較器が比較する前記二つの位相が一致しているときに限って、前記第2可変遅延回路の前記遅延量を規定する計数値を、前記第2位相比較器が比較する前記二つの位相のずれを解消する方向に、段階的に変化させる第2カウンタと、を備える。

【0038】第13の発明の回路は、入力クロックの周波数を遅倍して出力するクロック生成回路において、遅延量を段階的に変更可能な第1可変遅延回路をループ内に含み、当該ループ内の一部から、発振するクロックを遅倍クロックとして、出力するリングオシレータと、前記入力クロックと、前記ループ内で発振するクロックの遅倍比に分周されたクロックとの、二つの位相を比較する第1位相比較器と、前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させる第1カウンタと、前記遅倍クロックを遅延させて出力クロックとして出力し、遅延量を段階的に変更可能な第2可変遅延回路と、前記入力クロックと前記出力クロックとの、二つの位相を比較する第2位相比較器と、前記第2可変遅延回路の前記遅延量を規定する計数値を、前記第2位相比較器が比較する前記二つの位相のずれを解消する方向に、段階的に変化させる第2カウンタと、制御信号にตอบสนองして、前記第2位相比較器が比較する前記二つの位相が一致する遅延量に対応する計数値を算出し、前記第2カウンタへ設定する演算器と、を備える。

【0039】第14の発明の回路は、第13の発明のクロック生成回路において、前記入力クロックと前記出力クロックとを選択自在に出力するマルチプレクサを、さ

らに備え、前記演算器が、前記マルチプレクサが出力するクロックに同期して動作し、しかも、前記計数値の算出および設定以外の演算処理をも行い、前記マルチプレクサは、前記演算器が前記計数値を算出および設定するときは前記入力クロックを選択し、その他の演算を実行するときは出力クロックを選択する。

【0040】第15の発明の回路は、入力クロックの周波数を遅倍して出力するクロック生成回路において、遅延量を段階的に変更可能な第1可変遅延回路をループ内に含み、当該ループ内の一部から、発振するクロックを遅倍クロックとして、出力するリングオシレータと、前記入力クロックと、前記ループ内で発振するクロックの遅倍比に分周されたクロックとの、二つの位相を比較する第1位相比較器と、前記遅延量を規定する計数値を、前記位相比較器の比較結果にもとづいて、前記二つの位相のずれを解消する方向に、段階的に変化させる第1カウンタと、前記遅倍クロックを遅延させて出力クロックとして出力し、遅延量を段階的に変更可能な第2可変遅延回路と、前記入力クロックと前記出力クロックとの、二つの位相を比較する第2位相比較器と、前記第2可変遅延回路の前記遅延量を規定する計数値を、前記第2位相比較器が比較する前記二つの位相のずれを解消する方向に、段階的に変化させるとともに、制御信号にตอบสนองして、前記第1カウンタの計数値を1ビットシフトして前記計数値に設定する第2カウンタと、当該第2カウンタの計数値をビットシフトして受信し、デコードした上で、ビットシフトして前記第2可変遅延回路へ入力するとともに、各ビットシフトの大きさが、前記第2位相比較器が比較する前記二つの位相が一致するように設定されているデコーダと、を備える。

【0041】第16の発明の回路では、第13ないし第15のいずれかの発明のクロック生成回路において、前記制御信号が、前記第1位相比較器が比較する前記二つの位相がずれた状態から一致した状態へ移行したときに入力される。

【0042】第17の発明の回路は、第13ないし第15のいずれかの発明のクロック生成回路において、別の制御信号にตอบสนองして、前記第1位相比較器が比較する前記二つの位相が一致する遅延量に対応する計数値を算出し、前記第1カウンタへ設定する別の演算器を、さらに備え、前記別の演算器が前記計数値を設定した後、前記制御信号が入力される。

【0043】第18の発明の装置は、半導体装置であって、第1ないし第17のいずれかのクロック生成回路と、当該クロック生成回路が出力する出力クロックの供給を受け、当該出力クロックに同期して動作する回路と、を備える。

【0044】

【発明の実施の形態】<1. 実施の形態1>はじめに、本発明の実施の形態1のクロック生成回路について説明

する。

【0045】<1.1. 装置の全体>図1は、実施の形態1のクロック生成回路の構成を示すブロック図である。このクロック生成回路101は、PLL回路1および出力バッファ2を備えている。PLL回路1は、デジタルPLL回路として構成されており、入力クロックINを逡倍し、出力クロックPLL-OUTとして出力する。

【0046】出力バッファ2は、例えば、インバータ3、4、5a、5b、5cを備えている。インバータ3は、出力クロックPLL-OUTを反転させ、出力クロックPHI0として出力する。インバータ4、5a~5cは、それぞれ、出力クロックPHI0を反転させ、出力クロックPHIP、PHIA、PHIB、PHICとして出力する。出力クロックPHIA、PHIB、PHICは、それぞれ、様々な回路6、7、8へ供給される。インバータ5a~5cは、選択信号に応じて、出力クロックを出力する動作と、出力を一方レベル（例えば、ロウレベル）に固定する動作とを、選択的に実行する。例えば、回路6が動作するときには、インバータ5aは、出力クロックPHIAを出力し、回路6が動作を休止するときには、ロウレベルの信号を出力する。

【0047】これに対して、インバータ4は、常に、出力クロックを出力する。インバータ4が出力する出力クロックPHIPは、PLL回路1へフィードバックされる。インバータ4の特性（例えば、逡延量）は、出力クロックを出力するときのインバータ5a~5cの特性と同等になるように構成される。したがって、4個の出力クロックPHIP、PHIA、PHIB、PHICの間で、位相が互いに一致する。すなわち、出力クロックPHIPは、外部へ供給される出力クロックPHIA、PHIB、PHICのモニタ信号としての役割を果たす。

【0048】PLL回路1は、入力クロックINとフィードバックされた出力クロックPHIPとの位相を比較し、それらの位相差を解消するように、出力クロックPLL-OUTの位相を制御する。これにより、出力クロックPHIP、PHIA、PHIB、PHICとして、入力クロックINC同期し、しかも、周波数が逡倍されたクロックが得られる。PLL回路1は、さらに、クロック生成回路101の外部から入力される制御信号CONT1、CONT2にもとづいて、逡倍比の設定および変更、ならびに、入力クロックINの周波数の変更を行うことが可能なように構成されている。これにつ

いては、以下に詳述する。
【0049】<1.2. 逡倍回路の概略>図2は、PLL回路1の内部構成を示すブロック図である。PLL回路1は、逡倍回路10および位相同期回路11を備えている。逡倍回路10は、入力クロックINの周波数を設定された逡倍比だけ逡倍し、逡倍されたクロックを、逡倍クロックN-OUTとして出力する。位相同期回路11は、出力クロックPHIPが入力クロックINに同期するように、逡倍クロックN-OUTを、適切な逡延量だけ逡延させ、逡延したクロックを出力クロックPLL-OUTとして出力する。

【0050】逡倍回路10は、デジタルディレイライン16、固定逡延回路17、論理和回路21、および、論理積回路22を、ループ内に含むリングオシレータを備えている。デジタルディレイライン16は、可変逡延回路として構成されており、選択自在に縦属接続可能な複数の逡延素子を備えている。その逡延量は、縦属接続される逡延素子の個数に比例して、段階的に変えることが可能となっている。また、固定逡延回路17には、信号のレベルを反転するためのインバータが含まれている。

【0051】このように、リングオシレータでは、逡延量が可変である。しかも、リングオシレータは、信号がループを一巡する間に、そのレベルが反転するように、負のフィードバックループとして構成されている。このため、リングオシレータは発振し、しかも、その発振周期の1/2倍、すなわち、半周期が、信号が一巡する間の逡延量に一致する。

【0052】デジタルディレイライン16の逡延量は、カウンタ13の計数値によって決定される。カウンタ13は、例えば、10ビットのデジタルカウンタとして構成されている。二進数で表現されるカウンタ13の計数値は、デコーダ15によってデコードされた上で、デジタルディレイライン16へと入力される。その結果、デジタルディレイライン16の逡延量は、カウンタ13の計数値に比例して変化する。したがって、逡倍クロックN-OUTの周期は、カウンタ13の計数値と線形的な関係を持って、変化する。しかも、カウンタ13がデジタルカウンタであり、その計数値が、整数であるために、逡倍クロックN-OUTの周期は、段階的に変化する。

【0053】カウンタ13には、位相比較器18および演算器12が接続されている。位相比較器18には、リングオシレータの一部であるデジタルディレイライン16の出力から得られる逡延クロックDL-OUTと、入力クロックINが二分周回路19によって二分周されて得られる二分周クロックとが、入力される。

【0054】位相比較器18は、逡延クロックDL-OUT（より正確には、逡延クロックDL-OUTの逡倍比倍に分周されたクロック）の位相と入力クロックINの位相とを、入力クロックINの2周期ごとと比較し、逡延クロックDL-OUTの位相が遅れておれば、カウンタ13の計数値を減算し、逆に、進んでおれば加算する。また、双方の位相が一致しておれば、計数値は一定に保持される。すなわち、位相比較器18は、双方の位相のずれを解消するように、言い換えると、逡倍回路10がロック状態となるように、カウンタ13の計数値を加算または減算する。

【0055】演算器12は、PLL回路1が動作を開始するとき、逡倍比を変更するとき、あるいは、入力クロックINの周波数を変更するときなどに、逡延クロックDL-OUTと入力クロックINとの間の位相が一致する、すなわち、逡倍回路10がロック状態となるための計数値をあらかじめ算出し、初期値としてカウンタ13へ設定す

る。カウンタ13の計数値が、位相比較器18と演算器12のいずれによって更新されるかは、逡倍回路10の動作モードに依存する。

【0056】後述するように、逡倍回路10には複数の動作モードが準備されており、逡倍回路10の動作は、これら複数の動作モードの間を遷移する。動作モードは、モード制御部50によって管理されており、動作モードを表現するモード信号MDがモード制御部50から出力される。演算器12およびカウンタ13は、モード信号MDにもとづいて、動作モードごとに、異なる動作を行う。

【0057】逡倍回路10においても、背景技術としての逡倍回路71(図21)と同様に、所定の逡倍比を実現するために、信号DL-ACTおよび信号DL-SETが生成され、それぞれ、論理積回路22および論理和回路21の一方入力へ入力される。信号DL-ACTは、パルスカウンタ9、ゲート回路27、および、フリップフロップ(以下、「FF」と略記する)23によって、生成される。また、信号DL-SETは、FF24によって生成される。

【0058】信号DL-ACTがネゲートされているときには、逡倍クロックN-OUTは、強制的にロウレベルに設定される。また、信号DL-ACT信号がアサートされ、かつ、DL-SETがアサートされているときには、逡倍クロックN-OUTは、強制的にハイレベルに設定される。そして、信号DL-ACTがアサートされ、信号DL-SETがネゲートされているときに限って、リングオシレータは発振する。

【0059】パルスカウンタ9のセット入力には入力クロックINが入力され、クロック入力には逡倍クロックN-OUTが入力され、リセット入力には信号DL-ACTが入力される。その結果、パルスカウンタ9は、入力クロックINの1クロック周期ごとに、信号DL-ACTがアサートされている期間に限って、逡倍クロックN-OUTのパルス数を計数する。また、パルスカウンタ9は、計数値が逡倍比に達すると、パルス状の信号C1を出力する。

【0060】ゲート回路27は、モード信号MDにもとづいて、信号C1をFF23のリセット入力へ、信号C2として選択的に伝達する。FF23のセット入力には、入力クロックINが入力される。それにより、FF23は、出力信号として信号DL-ACTを出力する。FF24のセット入力には、入力クロックINが入力され、リセット入力には逡延クロックDL-OUTが入力される。その結果、FF24から、出力信号として、信号DL-SETが出力される。

【0061】逡倍回路10には、また、リセット信号PLL-RSTを生成するためのラッチ25、ゲート回路28、および、論理和回路26が備わっている。ラッチ25のデータ入力には信号DL-ACTが入力され、クロック入力には、ゲート回路28を通じて、入力クロックINが入力される。論理和回路26は、ラッチ25の出力信号と、PLL回路1の外部から入力される外部リセットEX-RSTとの論理和を、リセット信号PLL-RSTとして出力する。リセ

ット信号PLL-RSTは、モード制御部50およびパルスカウンタ9へ入力される。ゲート回路28は、ゲート回路27と同様に構成されており、モード信号MDにもとづいて、入力クロックINをラッチ25のクロック入力へ、選択的に伝達する。

【0062】逡倍回路10には、さらに、位相比較器18の比較結果にもとづいて、逡倍回路10がロック状態にあるか否かを検出するロック検出部20が備わっている。ロック検出部20からは、検出結果を表現するロック信号LKが出力される。このロック信号LKは、後述する位相同期回路11の制御に用いられる。

【0063】PLL回路1の外部から入力される制御信号CONT1は、逡倍比を指示する信号であり、パルスカウンタ9、演算器12、および、モード制御部50へ入力される。また、同じく外部から入力される制御信号CONT2は、入力クロックINの周波数の変更、または、逡倍比の変更を指示する信号であり、演算器12およびモード制御部50へ入力される。

【0064】<1.3. 動作モード>図3は、逡倍回路10の状態遷移図である。図3が示すように、逡倍回路10では、その動作モードが、入力クロック周期計測モードM1、カウンタ演算・セットモードM2、および、微調整モードM3の3モードの間を遷移する。電源が投入され逡倍回路10が動作を開始した後に、例えば外部リセットEX-RSTを通じて、リセット信号PLL-RSTが入力されると、モード制御部50は、これ応答して、動作モードを入力クロック周期計測モードM1に設定する。入力クロック周期計測モードM1では、入力クロックINの周期が計測される。

【0065】入力クロック周期の計測が完了すると、モード制御部50は、動作モードをカウンタ演算・セットモードM2へと遷移させる。カウンタ演算・セットモードM2では、逡倍回路10がロック状態となるためのカウンタ13の計数値が、演算器12によって算出され、カウンタ13へ初期値として設定される。初期値の設定が完了すると、モード制御部50は、動作モードを、通常動作モードである微調整モードM3へと遷移させる。微調整モードM3では、カウンタ13の計数値は、位相比較器18によって調整される。

【0066】動作モードが微調整モードM3にあるとき、制御信号CONT2によって、逡倍比の変更、または、入力クロックINの周期の変更が指示されると、モード制御部50は、動作モードをカウンタ演算・セットモードM2へと遷移させる。そして、制御信号CONT2が指示する新たな逡倍比、または、制御信号CONT2が指示する新たな入力クロックINの周期に対応したカウンタ13の計数値が算出され、新たな初期値としてカウンタ13へ設定される。すなわち、カウンタ13の計数値が、算出された値によって更新される。カウンタ13の計数値の更新が完了すると、モード制御部50は、再び、動作モードを微

調整モードM3へと遷移させる。

【0067】さらに、動作モードが、カウンタ演算・セットモードM2、または、微調整モードM3にあっても、リセット信号PLL-RSTが入力されると、モード制御部50は、動作モードを入力クロック周期計測モードM1へと遷移させる。モード制御部50が出力するモード信号MDは、例えば、図4に示すように、2ビット（モード信号成分MD1およびMD2）で、3個の動作モードを表現する。

【0068】<1.4. 周期計測モード>図5は、入力クロック周期計測モードM1における通倍回路10の動作を説明するタイミングチャートである。この動作モードは、上述したように、リセット信号PLL-RSTが入力され、さらに、解除された後に開始される。この動作モードでは、モード制御部50は、カウンタ13をリセットし、その計数値を最小の値に設定する。入力クロック周期計測モードM1へ移行した後に、最初に入力クロックINが立ち上がる時刻t1までは、信号DL-ACTおよび信号DL-SETの双方ともが、ネゲートされている。このため、時刻が時刻t1に至るまでは、通倍クロックN-OUTは、ロウレベルに固定されており、その結果、遅延クロックDL-OUTは、ハイレベルに固定されている。

【0069】時刻t1に入力クロックINが立ち上がると、信号DL-ACTおよび信号DL-SETがアサートされる。その結果、通倍クロックN-OUTが、強制的にハイレベルに設定される。通倍クロックN-OUTは、デジタルディレイライン16と固定遅延回路17を合わせた遅延量（遅延時間）だけ遅れ、しかも、レベルが反転されて、遅延クロックDL-OUTとして現れる。このため、時刻t1から、この遅延量だけ遅れた時点で、遅延クロックDL-OUTは、ハイレベルからロウレベルへと遷移する。遅延クロックDL-OUTがロウレベルへ遷移すると、信号DL-SETは、ネゲートされる。

【0070】信号DL-SETがネゲートされると、遅延クロックDL-OUTが、論理和回路21および論理積回路22を通過し、通倍クロックN-OUTとして出力される。すなわち、リングオシレータが発振可能となる。これにより、通倍クロックN-OUTとして、リングオシレータの遅延時間を半周期（すなわち、パルス幅）とする反復的なクロックパルスが得られる。カウンタ13の計数値が最小値（すなわち、ゼロ）に設定されているので、通倍クロックN-OUTのパルス幅は、最小値となる。

【0071】時刻t1に、入力クロックINの立ち上がることにより、パルスカウンタ9がセットされる。それにより、パルスカウンタ9は、時刻t1以後の通倍クロックN-OUTのパルス数を計数する。

【0072】ゲート回路27は、動作モードが微調整モードM3にあるときに限って、信号C1を信号C2として、通過させる。それには、ゲート回路27は、例えば、信号C1とモード信号成分MD2の論理積を算出し、信号C2として出力するAND回路として構成されるとよい。図5の

例では、ゲート回路27は、AND回路として構成されている。このため、モード信号成分MD2がゼロである入力クロック周期計測モードM1では、信号C2は信号C1とは無関係にロウレベルを維持する。

【0073】パルスカウンタ9は、その計数値が、制御信号CNT1により設定される通倍比に達することにより、信号C1を出力するが、信号DL-ACTは、信号C1とは無関係にハイレベルを維持する。このため、パルスカウンタ9は、リセットされることなく、継続的に通倍クロックN-OUTのパルス数を計測する。

【0074】モード制御部50は入力クロックINを監視しており、時刻t1から1クロック周期後の時刻t2において、入力クロックINが再び立ち上がると、モード制御部50は、動作モードを、カウンタ演算・セットモードM2へ遷移させる。そして、時刻t2におけるパルスカウンタ9の計数値が、演算器12へ伝達される。この計数値は、リングオシレータの周期を単位として計測された入力クロックINの周期に相当している。リングオシレータの周期は、最小の値に設定されているので、入力クロックINの周期が高い精度で計測される。なお、周期の計測は、入力クロックINの1周期だけでなく、例えば、2周期の期間にわたって行われてもよい。

【0075】<1.5. カウンタ演算・セットモード>カウンタ演算・セットモードM2では、以下の要領で、カウンタ13に設定すべき計数値の初期値が算出される。図6は、この初期値を算出する動作を説明するタイミングチャートである。図6が示す各変数は、以下のように定義されている。すなわち、

c: 入力クロック周期計測モードM1で計数されたパルス数;

t: カウンタ13の計数値が0であるときの通倍クロックN-OUTの半周期;

Δd : カウンタ13の計数値が1増えることの、デジタルディレイライン16の遅延量の増分;

n: 通倍比; および、

x: カウンタ13へ設定すべき初期値; と定義される。

【0076】これらの変数を用いると、図6が示すように、

(入力クロックINの周期) = $2t \times c$;

(ロック後の通倍クロックN-OUTの周期) = $2(t + x \Delta d)$; および、

(入力クロックINの周期) = (ロック後の通倍クロックN-OUTの周期) $\times n$;

という関係が成り立つ。

【0077】したがって、初期値xは、

$$x = (t / \Delta d) \cdot (c / n - 1) \\ = (a / n) \cdot c - a \quad \dots \text{(数式1)}$$

で与えられる。ここで、変数aは、 $a = t / \Delta d$; である。演算器12は、数式1にもとづいて、初期値xを算

出する。算出された初期値 x は、カウンタ13へ設定される。これにより、つぎのクロック周期以後、(すなわち、入力クロックINのつぎの立ち上がり以後)では、逓倍回路10はロック状態となる。それと同時に、モード制御部50は、動作モードを微調整モードM3へと遷移させる。

【0078】以上のように、逓倍回路10では、その動作開始直後に、カウンタ13へ、ロック状態を実現する計数値が、初期値として設定されるので、ロック状態が速やかに実現する。入力クロック周期計測モードM1とカウンタ演算・セットモードM2とを実行するのに要する時間は、数クロック周期で足りる。したがって、リセット信号PLL-RSTが入力された後に、数クロック周期を経た後には、逓倍回路10から安定した出力クロックPLL-OUTが出力される。

【0079】演算器12はソフトウェアを用いることなく、ハードウェアで構成することが可能である。変数 a は、逓倍回路10によって定まる値であり、固定逓倍回路17の逓延量を、適切に設定することによって、半周期 t を、 $t = (n \text{の倍数}) \cdot \Delta d$; となるように設定することが可能である。それによって、変数 a 、および、変数 a/n を、いずれも、整数とすることができる。このとき、演算器12は、簡単な積演算および和演算を行うだけで、初期値 x を算出することが可能となる。それによって、演算器12の構成を、簡素化することができる。

【0080】<1.6. 微調整モード>微調整モードM3では、演算器12は休止する。このため、カウンタ13の計数値は、位相比較器18の出力信号にのみ支配される。図7は、逓倍比が4に設定されているときのカウンタ演算・セットモードM2の動作を説明するタイミングチャートである。

【0081】微調整モードM3では、ゲート回路27は、信号C1を通過させ、信号C2としてFF23のリセット入力へ伝達する。このため、1クロック周期の中で、逓倍クロックN-OUTのバルス数が4(逓倍比)に達すると、信号DL-ACTは、ネゲートされる。すなわち、1クロック周期の中で、逓倍クロックN-OUTが4回目に立ち下がった時点で、信号DL-ACTはネゲートされ、つぎのクロック周期の開始まで維持される。信号DL-ACTがネゲートされている期間では、既述したように、逓倍クロックN-OUTがロウレベルに固定されるとともに、バルスカウンタ9の計数動作が休止する。

【0082】逓延クロックDL-OUTは、信号DL-ACTがネゲートされた後において、逓倍クロックN-OUTの立ち下がりから、デジタルディレイライン16と固定逓延回路17の逓延時間だけ遅れて、立ち上がる。ロック状態では、この立ち上がりの時刻が、つぎのクロック周期の開始時刻、すなわち、入力クロックINのつぎの立ち上がり時刻に一致する。このロック状態は、図7では、時刻 t_1

1から時刻 t_2 まで、および、時刻 t_3 から時刻 t_4 までのクロック周期において実現されている。

【0083】これに対して、リングオシレータの逓延量が低いために逓倍クロックN-OUTのバルス幅(=逓延クロックDL-OUTのバルス幅)が短いと、信号DL-ACTがネゲートされた後の逓延クロックDL-OUTの立ち上がり、入力クロックINのつぎの立ち上がり時刻よりも早まる。すなわち、逓延クロックDL-OUTの位相が入力クロックINの位相よりも進む。この状態は、時刻 t_2 から時刻 t_3 までのクロック周期において出現している。

【0084】これとは逆に、リングオシレータの逓延量が高いために逓倍クロックN-OUTのバルス幅が長いと、信号DL-ACTがネゲートされた後の逓延クロックDL-OUTの立ち上がり、入力クロックINのつぎの立ち上がり時刻よりも遅れる。すなわち、逓延クロックDL-OUTの位相が入力クロックINの位相よりも遅れる。この状態は、時刻 t_4 から時刻 t_6 までのクロック周期において出現している。

【0085】位相比較器18は、入力クロックINの立ち上がりの時刻と、信号DL-ACTがネゲートされた後の最初の逓延クロックDL-OUTの立ち上がりの時刻との間で、前後関係を監視し、その結果にもとづいて、それら二つのクロックの位相の前後関係を判定する。このことは、位相比較器18が、逓延クロックDL-OUT(実質上、逓倍クロックN-OUTと同等)を4(逓倍比)倍に分周してなる分周クロックの位相と、入力クロックINの位相とを、比較することと等価である。双方の位相が一致するとき、すなわち、逓倍回路10がロック状態にあるときには、位相比較器18は、カウンタ13の計数値を変更しない。このため、本来であればロック状態は、そのまま維持される。

【0086】ところが、時刻 t_2 から時刻 t_3 までのクロック周期に例示するように、何らかの影響、例えば、温度変化、電圧変化、あるいは、ノイズの影響によって、逓倍クロックN-OUTのバルス幅が短くなると、位相比較器18は、逓延クロックDL-OUTの位相が、入力クロックINの位相よりも早いと判定し、その結果、カウンタ13は、その計数値を、1クロック周期ごとに1ずつ加算する。したがって、逓延クロックDL-OUTのバルス幅が、段階的に長くなってゆき、一般に複数クロック周期(図7では1クロック周期)の後に、ロック状態へ復帰する。

【0087】時刻 t_4 から時刻 t_6 までのクロック周期に例示するように、逓倍クロックN-OUTのバルス幅が長くなると、位相比較器18は、逓延クロックDL-OUTの位相が、入力クロックINの位相よりも遅いと判定し、その結果、カウンタ13は、その計数値を、1クロック周期ごとに1ずつ減算する。それにより、逓延クロックDL-OUTのバルス幅が短くなり、一般に複数クロック周期の後に、ロック状態へ復帰する。

【0088】このように、微調整モードM3では、逓倍ク

10

20

30

40

50

ロックN-OUTのバルス幅に変動があって、逓倍回路10がロック状態から離れても、位相比較器18の働きにより、ロック状態への復帰が達成される。すなわち、逓倍クロックN-OUTとして、その周波数が入力クロックINの周波数の逓倍比だけ逓倍されたクロック信号が、安定して出力される。

【0089】<1.7.逓倍比の変更>つぎに、逓倍比を変更する場合の逓倍回路10の動作について説明する。逓倍比を変更する際には、制御信号CONT2が入力される。制御信号CONT2は、例えば、9ビット幅の信号[0:8]であり、逓倍比の変更を指示する際には、その第0ビット[0]が、所定の値（例えば、1）に設定される。変更すべき逓倍比の値は、制御信号CONT1によって指定される。

【0090】図8は、逓倍比の変更にもなう逓倍回路10の動作を説明するタイミングチャートである。時刻t21において、第0ビット[0]に1が入力されると、モード制御部50は、つぎのクロック周期（時刻t22～時刻t23）では、動作モードをカウンタ演算・セットモードM2へ遷移させる。すると、演算器12は、制御信号CONT1が指示する新たな逓倍比に相応して、カウンタ13に新たな初期値として設定すべき計数値を算出する。この新たな初期値は、以下の要領で算出される。

【0091】すなわち、

c: 入力クロック周期計測モードM1で計数されたパルス数;

t: カウンタ13の計数値が0であるときの逓倍クロックN-OUTの半周期;

Δd : カウンタ13の計数値が1増えることの、デジタルディレイライン16の遅延量の増分;

n: 変更前の逓倍比;

N: 変更後の逓倍比;

x0: カウンタ13の変更前の計数値; および、

x: カウンタ13へ設定すべき新たな初期値;

を用いると、数式1から、つぎの関係:

$x0 = (t / \Delta d) \cdot (c / n - 1)$; および、

$x = (t / \Delta d) \cdot (c / N - 1)$;

が導かれる。

【0092】したがって、変数 $j = N / n$; を定義すると、

$$x = \{t / (j \cdot \Delta d)\} - (t / \Delta d) + (x0 / j) \quad \dots \dots \text{(数式2)}$$

が導かれる。

【0093】演算器12は、数式2にもとづいて、初期値xを算出する。算出された初期値xは、カウンタ13へ設定される。これにより、図8が例示するように、つぎのクロック周期以後、(時刻t23以後)では、逓倍回路10は、新たな逓倍比Nの下で、ロック状態となる。それと同時に、モード制御部50は、動作モードを微調整モードM3へと遷移させる。以上のように、逓倍回路1

0では、逓倍比の変更を行うときにも、カウンタ13へ、ロック状態を実現する計数値が、初期値として設定されるので、ロック状態が速やかに実現する。

【0094】<1.8.クロック周期の変更>つぎに、クロック周期、すなわち、入力クロックINの周期を変更する場合の逓倍回路10の動作について説明する。クロック周期を変更する際にも、制御信号CONT2が入力される。制御信号CONT2が、例えば、9ビット幅の信号[0:8]である場合には、クロック周期を変更を指示する際には、その第1ビットから第8ビットの信号[1:8]によって、変更後のクロック周期と変更前のクロック周期の比率iが指定される。

【0095】図9は、信号[1:8]の値の一例を表形式で示す説明図である。図9の例では、信号[1:8]の中のいずれかのビットを1に設定することによって、比率iの値が指定される。例えば、比率iとして、1/3を指示したいときには、第6ビットが1に設定される。

【0096】モード制御部50は、制御信号CONT2の第1～第8ビット[1:8]に、比率iを指示する値が入力されると、動作モードをカウンタ演算・セットモードM2へ遷移させる。すると、演算器12は、比率iで指示される新たなクロック周期に相応して、カウンタ13に新たな初期値として設定すべき計数値を算出する。この新たな初期値は、数式2において、比率jを比率iへ置き換えることによって、

$$x = \{t / (i \cdot \Delta d)\} - (t / \Delta d) + (x0 / i) \quad \dots \dots \text{(数式3)}$$

として導かれる。ここで、

x0: カウンタ13の変更前の計数値; および、

x: カウンタ13へ設定すべき新たな初期値; である。

【0097】演算器12は、数式3にもとづいて、初期値xを算出する。算出された初期値xは、カウンタ13へ設定される。これにより、例えば、つぎのクロック周期以後では、逓倍回路10は、新たな逓倍比Nの下で、ロック状態となる。それと同時に、モード制御部50は、動作モードを微調整モードM3へと遷移させる。以上のように、逓倍回路10では、クロック周期の変更を行うときにも、カウンタ13へ、ロック状態を実現する計数値が、初期値として設定されるので、ロック状態が速やかに実現する。

【0098】<1.9.リセット>ここで、ラッチ25およびゲート回路28の動作について説明する。ゲート回路28は、ゲート回路27と同様に、動作モードが微調整モードM3にあるときに限って、入力クロックINを通過させ、ラッチ25のクロック入力へ伝達する。それには、ゲート回路28は、例えば、入力クロックINとモード信号成分MD2の論理積を出力するAND回路として構成されるとよい。

【0099】微調整モードM3では、1クロック周期の間

に、信号DL-ACTがネゲートされることがなければ、それは、1クロック周期の間に、逓倍クロックN-OUTとして、逓倍比に相当する個数（例えば4個）のパルスが出力されていないことを意味する。このとき、ラッチ25は、ハイレベルの信号を出力する。それにより、リセット信号PLL-RSTがアサートされるので、動作モードは、入力クロック周期計測モードM1へ、強制的に移行する。そして、カウンタ13の計数値が、算出し直される。これにより、信号DL-ACTが、アサートされ続けるという不測の事態を、確実に回避することが可能となる。

【0100】<1.10. 位相同期回路>つぎに、図2へ戻って、位相同期回路11の構成と動作について説明する。位相同期回路11では、逓倍クロックN-OUTは、デジタルディレイライン33および固定遅延回路34を通過することにより、ある遅延量だけ遅延され、出力クロックPLL-OUTとして出力される。デジタルディレイライン33は、デジタルディレイライン16と同様に、可変遅延回路として構成されており、選択自在に縦属接続可能な複数の遅延素子を備えている。その遅延量は、縦属接続される遅延素子の個数に比例して、段階的に変えることが可能となっている。

【0101】デジタルディレイライン33の遅延量は、カウンタ31の計数値によって決定される。カウンタ31は、例えば、8ビットのデジタルカウンタとして構成されている。二進数で表現されるカウンタ31の計数値は、デコーダ32によってデコードされた上で、デジタルディレイライン33へと入力される。その結果、デジタルディレイライン33の遅延量は、カウンタ31の計数値に比例して変化する。したがって、出力クロックPLL-OUTの逓倍クロックN-OUTに対する遅延量は、カウンタ31の計数値と線形的な関係を持って、変化する。しかも、カウンタ31がデジタルカウンタであり、その計数値が、整数であるために、出力クロックPLL-OUTの遅延量は、段階的に変化する。

【0102】カウンタ31には、位相比較器35および演算器30が接続されている。位相比較器35は、ゲート回路36を通じてカウンタ31へ接続されている。位相比較器35は、出力クロックPHIPの位相と入力クロックINの位相とを、入力クロックINの1周期ごとと比較し、出力クロックPHIPの位相が進んでおれば、カウンタ13の計数値を加算し、逆に、遅れておれば減算する。また、双方の位相が一致しておれば、計数値は一定に保持される。すなわち、位相比較器35は、双方の位相のずれを解消するように、言い換えると、位相同期回路11がロック状態となるように、カウンタ31の計数値を加算または減算する。

【0103】ゲート回路36は、ロック検出部20が出力するロック信号LKにもとづいて、位相比較器35の出力信号を選択的にカウンタ31へ伝達する。すなわち、ゲート回路36は、逓倍回路10がロック状態にあると

きに限って、位相比較器35の出力信号をカウンタ31へ伝達する。そのためには、ゲート回路36は、例えば、図10が示すように、位相比較器35の出力信号とロック信号LKとの論理積を出力するAND回路を備えるとい。

【0104】このように、逓倍回路10の動作が、ロック状態から外れているときには、位相比較器35によるカウンタ31の計数値の更新は休止される。このため、背景技術としてのクロック生成回路151に見られたジッタの問題が解消される。

【0105】演算器30は、演算器12によって逓倍回路10のカウンタ13の計数値が更新された直後、言い換えると、動作モードがカウンタ演算・セットモードM2から微調整モードM3へと移行した直後に、出力クロックPHIPと入力クロックINとの間の位相が一致するための計数値、すなわち、位相同期回路11がロック状態となるための計数値を、あらかじめ算出し、初期値としてカウンタ31へ設定する。より詳細には、演算器30は、逓倍回路10の動作モードがカウンタ演算・セットモードM2へ移行した後、逓倍回路10のロック状態がロック検出部20によって最初に検出された時点で、演算動作を開始する。このように、カウンタ31の計数値が、位相比較器35と演算器30のいずれによって更新されるかは、逓倍回路10の動作モードに依存する。

【0106】カウンタ31の初期値は、カウンタ13の計数値にもとづいて、以下の要領で算出される。すなわち、

x: カウンタ13の計数値;

t: カウンタ13の計数値が0であるときの逓倍クロックN-OUTの半周期;

Δd : カウンタ13の計数値が1増えることの、デジタルディレイライン16の遅延量の増分;

r: カウンタ31の計数値が0であるときの出力クロックPHIPと入力クロックINの間の位相差

y: カウンタ31へ設定すべき初期値; および、

Δu : カウンタ31の計数値が1増えることの、デジタルディレイライン33の遅延量の増分;

とすると、図11のタイミングチャートからわかるように、

$$y \cdot \Delta u = 2 \cdot (t + x \cdot \Delta d) - r;$$

の関係が成り立つ。

【0107】これにより、

$$y = 2 \cdot x (\Delta d / \Delta u) - \{ (r - 2 \cdot t) / \Delta u \} \quad \dots \dots \text{(数式4)}$$

が得られる。ここで、デジタルディレイライン16とデジタルディレイライン33との間で、遅延量の増分が同一であれば、

$$\Delta u = \Delta d;$$

であるので、数式4は、

$$y = 2 \cdot x - \{ (r - 2 \cdot t) / \Delta d \} \quad \dots \dots \text{(数式5)}$$

によって、簡単に表現される。

【0108】演算器30は、数式4または数式5にもとづいて、初期値 y を算出する。算出された初期値 y は、カウンタ31へ設定される。これにより、例えば、つぎのクロック周期以後では、位相同期回路11は、ロック状態となる。このため、PLL回路1が動作を開始したとき、逡倍比が変更されたとき、および、クロック周期が変更されたときに、逡倍回路10と位相同期回路11の双方において、ロック状態が速やかに実現する。すなわち、出力クロックPHIP, PHIA, PHIB, PHICとして、入力クロックINに同期し、しかも、周波数が逡倍されたクロックが、背景技術としてのクロック生成回路151に比べてはるかに短い、周期計測または演算に要する数クロック周期の後に得られる。

【0109】演算器30も、演算器12と同様に、ソフトウェアを用いることなく、ハードウェアで構成することが可能である。変数 r は、位相同期回路11によって定まる値であり、固定逡延回路34の逡延量を、適切に設定することによって、変数 r を、整数 k を用いて、

$$(r-2 \cdot t) / \Delta d = k;$$

となるように設定することが可能である。このとき、数式5は、

$$y = 2 \cdot x - k \quad \dots \dots \text{(数式6)}$$

によって、さらに、簡単に表現することができる。それによって、演算器30は、簡単な積演算および和演算を行うだけで、初期値 y を算出することが可能となる。それによって、演算器30の構成を、簡素化することができる。

【0110】演算器30は、モード信号MDに応答して動作する代わりに、ロック信号LKに応答して動作してもよい。すなわち、逡倍回路10がロック状態から外れ、その後、ロック状態を回復したことが、ロック検出部20によって検出されたときに、演算器30が演算動作を行ってもよい。

【0111】<2. 実施の形態2>クロック生成回路が出力するクロックの供給を受ける回路（例えば、図1に例示する回路6～8）が、クロック生成回路とともに、同一の半導体チップの中に作り込まれており、しかも、回路6～8のいずれかの中に、演算器12（図2）の機能を果たし得る演算器を備える半導体装置が存在し得る。図12は、そのような半導体装置の一例を示すブロック図である。

【0112】この装置では、回路8の中に演算器40が備わっている。この演算器40は、例えば、CPUと、その動作を規定するプログラムが搭載された半導体メモリとを備えたマイクロコンピュータであってもよく、あるいは、ハードウェアのみで積和演算を実行する演算器であってもよい。図8の半導体装置では、クロック生成回路102は、回路8との間で、演算器40を共有している。

【0113】そして、PLL回路1には、演算器12が設けられず、演算器12が果たすべき演算機能は、演算器40によって達成される。また、演算器12に対して授受されるべき各種の信号が、そのまま演算器40に対して授受されるように、PLL回路1と演算器40との間に信号線が配設される。演算器40は、回路8のための通常処理を行うとともに、信号線を通じて供給されるモード信号MDに応答して、演算器12が行うべき演算処理を、割り込み処理として実行する。

【0114】クロック生成回路102には、さらに、マルチプレクサ41が設けられる。マルチプレクサ41は、PLL回路1から供給されるモード信号MDに答して、入力クロックINと出力クロックPHICとのいずれかを選択して、出力クロックPHICとして演算器40へ供給する。すなわち、PLL回路1の中の逡倍回路10の動作モードが、入力クロック周期計測モードM1またはカウンタ演算・セットモードM2にあるときには、マルチプレクサ41は、入力クロックINを選択し、それ以外のときには、出力クロックPHICを選択する。演算器40は、出力クロックPHICに同期して動作する。

【0115】これによって、演算器40は、回路8における本来の演算動作と、演算器12が行うべき演算とを、いつでも切替自在に実行することが可能となる。PLL回路1が動作を開始した直後の出力クロックPHICが安定しない時期においても、演算器40は、入力クロックINの供給を受けることによって、演算器12が果たすべき演算を実行することができる。

【0116】また、PLL回路1が動作を開始した直後の出力クロックPHIP, PHIA, PHIB, PHICが安定しない時期では、回路6～8は本来の処理を開始しない。この休止の期間に、演算器40を利用して、演算器12が行うべき演算処理を行わせることができる。したがって、少なくとも、PLL回路1が動作を開始した直後においては、回路6～8の本来の動作を妨げることなく、演算器40を有効に利用することができる。

【0117】さらに、逡倍比の変更、および、クロック周期の変更の際にも、演算器40が回路8の本来の処理を休止して、割り込み処理としてPLL回路1のために実行される演算処理に要する期間は、1～数クロック周期であり、回路8の本来の処理への影響は希少である。

【0118】また、図13が示すように、演算器40が、PLL回路1に本来備わる演算器30の機能を肩代わりするように、クロック生成回路を構成することも可能である。このクロック生成回路102aでは、演算器40は、回路8のための通常処理を行うとともに、信号線を通じて供給されるモード信号MDおよびロック信号LKに答して、演算器30が行うべき演算処理を、割り込み処理として実行する。それと同時に、マルチプレクサ41は、モード信号MDとロック信号LKとにもとづいて、演算器40が通常処理を行うときには、出力クロックPHIC

を選択し、割り込み処理を行うときには、入力クロックINを選択する。

【0119】クロック生成回路102aにおいても、クロック生成回路102と同様の効果が得られる。すなわち、PLL回路1が動作を開始した直後の出力クロックPHIが安定しない時期においても、演算器40は、入力クロックINの供給を受けることによって、演算器30が果たすべき演算を実行することができる。また、回路8の通常処理への影響を少なくして、演算器40を有効に利用することができる。

【0120】<3. 実施の形態3>つぎに、演算器12を除去することのできる別の形態について説明する。固定遅延回路17の遅延量を適切に設定することによって、数式1における半周期 t を、整数 m を用いて、

$$t = 2^n \cdot \Delta d;$$

となるように設定することが可能である。このとき、数式1は、

$$x = 2^n \cdot c / n - a \quad \dots \text{(数式7)}$$

と表現される。

【0121】この場合には、図2の遅倍回路10の一部を、図14が示すように変更することによって、演算器12を除去することが可能となる。ただし、この遅倍回路10aでは、遅倍比の変更、および、クロック周期の変更に際して、デジタルディレイライン16の遅延量が、演算にもとづいて設定されるという動作は、前提とされない。遅倍回路10aでは、リセット信号PLL-RSTが入力された後に、ロック状態を実現するためのデジタルディレイライン16の遅延量の設定が、演算器12なしで行われる。

【0122】図14の例では、パルスカウンタ9の一例として、構造の簡単なシフトレジスタ45が用いられている。シフトレジスタ45は、複数のレジスタ46と、マルチプレクサ47とを備えている。複数のレジスタ46は、縦属接続されており、遅倍クロックN-OUTを、順送りに保持する。マルチプレクサ47は、複数のレジスタ46が保持する値が、制御信号CONT1が指示する遅倍比に達すると、パルスを出力する。このパルスによって、複数のレジスタ46が保持する値は、初期化される。したがって、シフトレジスタ45は、遅倍クロックN-OUTが、遅倍比に達することにより、パルスを出力する。

【0123】シフトレジスタ45が出力する信号は、セレクタ48を通じて、カウンタ13へ入力される。セレクタ48は、モード信号MDにもとづいて、シフトレジスタ45の出力信号と、位相比較器18の出力信号のいずれかを選択して、カウンタ13へ伝達する。すなわち、セレクタ48は、リセット信号PLL-RSTが入力された後に、遅倍回路10aの動作モードが、最初に微調整モードM3へ至るまでの期間には、シフトレジスタ45の出力信号を選択し、それ以外の期間では、位相比較器18の出力信号を選択する。

【0124】リセット信号PLL-RSTが入力されると、遅倍回路10と同様に、カウンタ13の計数値は、まず、ゼロに初期化される。これにより、最小の周期を持つ遅倍クロックN-OUTが、シフトレジスタ45へ入力される。シフトレジスタ45は、入力クロックINの立ち上がり時刻に、遅倍クロックN-OUTの計数を開始する。したがって、入力クロックINの1周期（すなわち、1クロック周期）の間に、シフトレジスタ45からカウンタ13へと、遅倍クロックN-OUTのパルス数と遅倍比との比率、すなわち、数式7における変数 c/n に相当する個数のパルスが、伝達される。

【0125】カウンタ13は、シフトレジスタ45からパルスが入力されるごとに、計数値を1ずつ加算する。その結果、シフトレジスタ45が計数を開始してから、1クロック周期を経た時点で、カウンタ13の計数値は、変数 c/n に一致している。この時点で、カウンタ13の計数値が、 $+m$ ビットだけ、ビットシフトされた上で、デコーダ15へ伝達される。したがって、デコーダ15には、 $2^n \cdot c/n$ に相当する値が、入力される。

【0126】デコーダ15の出力信号は、 $-a$ だけビットシフトされた上で、デジタルディレイライン16へ伝達される。このため、デジタルディレイライン16には、数式7で与えられる計数値 x に相当する値が入力される。すなわち、遅倍回路10において演算器12を通じて設定される値と同一の値が、デジタルディレイライン16に付与される。

【0127】デジタルディレイライン16への遅延量の設定が完了すると、動作モードは、微調整モードM3へ遷移し、カウンタ13には位相比較器18の出力信号が入力される。これにより、遅倍回路10の微調整モードM3と同様の動作が実現する。

【0128】<4. 実施の形態4>つぎに、演算器30を除去することのできる別の形態について説明する。数式6が成り立つように、固定遅延回路34の遅延量が設定されている場合には、図2の遅倍回路11の一部を、図15が示すように変更することによって、演算器30を除去することが可能となる。

【0129】この位相同期回路11aでは、位相同期回路11における演算器30の代わりに、カウンタ31が、モード信号MDおよびロック信号LKによって、制御される。遅倍回路10aにおいても遅倍回路10と同様に、カウンタ31の計数値は、通常においては、ゲート回路36を通じて入力される位相比較器35の出力信号によって、加算または減算される。

【0130】そして、リセット信号PLL-RSTが入力された後、遅倍比が変更されるとき、および、クロック周波数が変更されるときには、カウンタ31の計数値は、カウンタ13の計数値によって更新される。より詳細には、遅倍回路10（図2）において、演算器12によってカウンタ13の計数値が設定された後に、遅倍回路1

0がロック状態となったときに、カウンタ31の計数値は、カウンタ13によって設定される。このとき、カウンタ13の計数値 x は、+1ビットだけビットシフトされた上で、カウンタ31へ入力される。その結果、カウンタ31の計数値として、 $2 \cdot x$ の値が設定される。

【0131】カウンタ31の計数値は、デコーダ32でデコードされる。デコーダ32の出力信号は、 $-k$ だけビットシフトされた上で、デジタルディレイライン33へ入力される。その結果、デジタルディレイライン33には、数式6で与えられる計数値 y に相当する値が入力される。すなわち、逓倍回路11において演算器30を通じて設定される値と同一の値が、デジタルディレイライン33に付与される。デジタルディレイライン33への遅延量の設定が完了すると、カウンタ31にはゲート回路36からの信号が入力される。

【0132】なお、カウンタ31は、モード信号MDの制御を受けずに、ロック信号LKにのみ応答して動作してもよい。すなわち、逓倍回路10がロック状態から外れ、その後、ロック状態を回復したことが、ロック検出部20によって検出されたときに、カウンタ13の計数値がカウンタ31へ設定されてもよい。

【0133】<5. 実施の形態5>ここでは、リセット信号PLL-RSTを生成する別の形態について説明する。図16に示す逓倍回路10bは、パワーオンリセット回路60を備えており、その出力信号であるパワーオンリセット信号PW-RSTが、ラッチ25の出力信号、および、外部リセットEX-RSTとともに、論理和回路26aへ入力されている。論理和回路26aは、3個のリセット信号の論理和を算出し、リセット信号PLL-RSTとして出力する。

【0134】図17は、逓倍回路10bの動作を説明するタイミングチャートである。パワーオンリセット回路60は、電源電圧Vccを監視しており、電源電圧Vccがあらかじめ設定された値よりも低くなると、パワーオンリセット信号PW-RSTをアサートする。したがって、電源が投入された後において、電源電圧Vccが、パワーオンリセット回路60が動作可能な程度に高くなると、パワーオンリセット回路60は、一旦、パワーオンリセット信号PW-RSTをアサートする(時刻t31)。この信号は、論理和回路26aにより、リセット信号PLL-RSTとして、そのまま、モード制御部50およびバルスカウンタ9へ伝えられる。

【0135】それにより、モード制御部50およびバルスカウンタ9は、初期化される。そして、PLL回路1の各部の動作が安定するほどに電源電圧Vccが十分に高くなった時点(時刻t32)で、パワーオンリセット回路60は、パワーオンリセット信号PW-RSTをネグートする。それにより、入力クロック周期計測モードM1の動作が開始される。

【0136】電源投入後に電源電圧Vccが安定せず、そ

のために、デジタルディレイライン16などの遅延量が安定しない期間に、入力クロック周期計測モードM1およびカウンタ演算・セットモードM2の動作が行われると、カウンタ13の計数値として最適な値が設定されず、ロック状態に至るまでに、比較的長い期間を要する場合があり得る。しかしながら、逓倍回路10bでは、パワーオンリセット回路60が備わるために、このような不具合を回避することができる。

【0137】パワーオンリセット回路60を備える代わりに、図18に示す逓倍回路10cのように、クロック生成回路の外部から入力されるパワーオンリセット信号PW-RSTを中継する端子を備えてもよい。また、図19に示す逓倍回路10dのように、パワーオンリセット回路60が設けられ、パワーオンリセット信号PW-RSTが、リセット信号PLL-RSTとは別個に、モード制御部50へ入力される形態を採ることも可能である。パワーオンリセット信号PW-RSTは、カウンタ13にも伝達される。

【0138】逓倍回路10dでは、パワーオンリセット信号PW-RSTがアサートされ、その後ネグートされたときには、モード制御部50は、図3に示したモード遷移の例外として、動作モードを入力クロック周期計測モードM1へ遷移させることなく、微調整モードM3へ設定する。同時に、カウンタ13の計数値は、パワーオンリセット信号PW-RSTによって、最小の値に初期化される。したがって、その後、背景技術としての逓倍回路71(図21)の初期動作(図22)と同様に、ロック状態が実現するまで、カウンタ13の計数値が、クロック周期ごとに加算される。

【0139】逓倍比の変更、および、クロック周期の変更の際には、逓倍回路10(図2)と同様に、演算器12によって、カウンタ13の計数値が算出される。また、パワーオンリセット信号PW-RSTがアサートされず、外部リセットEX-RSTがアサートされたとき、あるいは、ラッチ25が出力信号をアサートしたときには、図3が示すとおり、動作モードは、入力クロック周期計測モードM1へ移行する。このように、パワーオンリセット信号PW-RSTがアサートされたときに限って、演算器12によるカウンタ13の計数値の設定を禁止することによって、電源投入直後に、ロックに至るまでの時間が、背景技術としての逓倍回路71よりも、長くなることを抑えることが可能となる。

【0140】

【発明の効果】第1の発明の回路では、制御信号に応答して、二つの位相のずれを解消する計数値がカウンタへ設定されるので、計数値の段階的な加算または減算を待つことなく、二つの位相が一致した状態、すなわち、ロック状態を、短時間で実現することができる。

【0141】第2の発明の回路では、制御信号に応答して、入力クロックの周期が計測されるので、周期の値を外部から指示する必要がない。

【0142】第3の発明の回路では、クロック生成回路の動作開始から最初に二つの位相の一致が得られるまで、すなわち、最初にロック状態となるまで、演算器は計数値の算出および設定を行わない。このため、この期間では、計数値は、位相比較器の比較結果にもとづいて、ロック状態が実現するまで、段階的に変化する。このため、電源電圧が安定しない期間に不正確な計数値がカウンタに設定されることにより、ロック状態へ至る期間が長くなるという可能性を、排除することができる。

【0143】第4の発明の回路では、通信比の変更を指示する信号にตอบสนองし、この信号が指示する変更後の通信比に対応した計数値が算出され、カウンタへ設定されるので、通信比の変更を行う際にも、新たな通信比の下でのロック状態が、速やかに実現する。

【0144】第5の発明の回路では、入力クロックの周期の変更後と変更前の比率を指示する信号にもとづいて、変更後の入力クロックの周期に対応した計数値が算出され、カウンタに設定されるので、入力クロックの新たな周期の下でのロック状態が、速やかに実現する。

【0145】第6の発明の回路では、演算器が計数値の算出および設定以外の演算処理をも実行可能であり、演算器へ供給されるクロックが、マルチプレクサによって、演算器の動作に応じて選択される。このため、本来であれば、クロック生成回路の出力クロックの供給を受けて動作する回路に備わるCPUなどの演算器を、クロック生成回路の演算器として有効利用することが可能である。すなわち、クロック生成回路の構成を簡素化することができ、チップ面積を縮小化することが可能となる。

【0146】第7の発明の回路では、カウンタへ、位相比較器の出力とパルスカウンタの出力とが選択的に入力され、しかも、カウンタの計数値が、適切に設定されたシフト幅でビットシフトされた上で、可変遅延回路へ伝えられる。すなわち、第1の発明の回路の演算器の機能が、パルスカウンタ、カウンタ、および、デコーダによって等価的に果たされる。したがって、カウンタの計数値の段階的な加算または減算を待つことなく、二つの位相が一致した状態、すなわち、ロック状態を、短時間で実現することができる。

【0147】第8の発明の回路では、リセット信号にตอบสนองして、セレクタが動作するので、必要に応じて、リセット信号を入力することによって、ロック状態への速やかな移行を実現することができる。

【0148】第9の発明の回路では、リセット信号にตอบสนองして、カウンタの計数値が、遅延量を最小にする値に初期化されるので、最小のパルス幅で、入力クロックの周期を計測することができる。このため、ロック状態を実現する計数値が、高い精度で算出される。

【0149】第10の発明の回路では、パワーオンリセット回路が備わるので、例えば電源電圧が立ち上がった直後など、電源電圧が不安定である期間に、計数値の算

出が低い精度で行われることを回避することができる。それによって、ロック状態へ至る期間が長くなることを、防止することができる。

【0150】第11の発明の回路では、リセット回路が備わるので、入力クロックの1周期の間に、通信比に相当する個数のパルスが出ないという状態が継続し、ロック状態へ至らないという不測の事態を、回避することができる。

【0151】第12の発明の回路では、第2可変遅延回路、第2位相比較器、および、第2カウンタが備わるので、入力クロックの周波数が通信されるだけでなく、入力クロックに同期した出力クロックが得られる。しかも、第1位相比較器が比較する二つの位相が一致しているときに限って、第2カウンタの計数値が変化するので、出力クロックと通信クロックとの間の位相差に、ジッタが生じるという問題点が解消される。それによって、出力クロックと入力クロックとの間の位相がずれたときに、位相の一致が回復するまでの期間が短縮される。

【0152】第13の発明の回路では、第2可変遅延回路、第2位相比較器、および、第2カウンタが備わるので、入力クロックの周波数が通信されるだけでなく、入力クロックに同期した出力クロックが得られる。しかも、制御信号にตอบสนองして、入力クロックと出力クロックとの二つの位相のずれを解消する計数値がカウンタへ設定されるので、計数値の段階的な加算または減算を待つことなく、二つのクロックが同期した状態、すなわち、ロック状態を、短時間で実現することができる。

【0153】第14の発明の回路では、演算器が計数値の算出および設定以外の演算処理をも実行可能であり、演算器へ供給されるクロックが、マルチプレクサによって、演算器の動作に応じて選択される。このため、本来であれば、クロック生成回路の出力クロックの供給を受けて動作する回路に備わるCPUなどの演算器を、クロック生成回路の演算器として有効利用することが可能である。すなわち、クロック生成回路の構成を簡素化することができ、チップ面積を縮小化することが可能となる。

【0154】第15の発明の回路では、第2可変遅延回路、第2位相比較器、および、第2カウンタが備わるので、入力クロックの周波数が通信されるだけでなく、入力クロックに同期した出力クロックが得られる。しかも、制御信号にตอบสนองして、第1カウンタの計数値が1ビットシフトされた上で第2カウンタへ設定され、第2カウンタの計数値が、適切に設定されたシフト幅でビットシフトされた上で、第2可変遅延回路へ伝えられる。すなわち、第13の発明の回路の演算器の機能が、第2カウンタ、および、デコーダによって等価的に果たされる。したがって、第2カウンタの計数値の段階的な加算または減算を待つことなく、出力クロックと入力クロックとの二つの位相が一致した状態、すなわち、ロック状

態を、短時間で実現することができる。

【0155】第16の発明の回路では、第1位相比較器が比較する二つの位相の一致が回復したときに、演算器による計数値の算出および設定が行われるので、出力クロックと通倍クロックとの間の位相差に、ジッタが生じることなく、出力クロックの位相を入力クロックの位相へと速やかに一致させることができる。

【0156】第17の発明の回路では、別の演算器が備わっており、別の演算器による第1カウンタへの計数値の設定が終了した後に、演算器による計数値の算出および第2カウンタへの設定が行われるので、第1可変遅延回路の遅延量が大きく変動した後に、出力クロックと通倍クロックとの二つの位相の一致が、速やかに実現する。

【0157】第18の発明の装置は、第1ないし第17のいずれかのクロック生成回路が供給する出力クロックに同期して動作する回路を備えているので、回路の安定した動作が、速やかに実現する。

【図面の簡単な説明】

【図1】 実施の形態1のクロック生成回路のブロック図である。

【図2】 図1のPLL回路のブロック図である。

【図3】 図2の通倍回路の状態遷移図である。

【図4】 図2のモード制御部が出力するモード信号の説明図である。

【図5】 図3の周期計測モードのタイミングチャートである。

【図6】 図3の演算・セットモードの動作説明図である。

【図7】 図3の微調整モードのタイミングチャートである。

【図8】 図3の演算・セットモードのタイミングチャートである。

【図9】 図2の制御信号CONT2の値の一例を示す説明図である。

【図10】 図2のロック検出部とゲート回路の回路図である。

【図11】 図2の位相同期回路の動作説明図である。*

*【図12】 実施の形態2のクロック生成回路のブロック図である。

【図13】 実施形態2の別のクロック生成回路のブロック図である。

【図14】 実施の形態3の通倍回路の一部のブロック図である。

【図15】 実施の形態4の位相同期回路の一部のブロック図である。

【図16】 実施の形態5の通倍回路の一部の回路図である。

【図17】 図16の通倍回路のタイミングチャートである。

【図18】 実施の形態5の別の通倍回路の一部の回路図である。

【図19】 実施の形態5のさらに別の通倍回路の一部の回路図である。

【図20】 背景技術としてのクロック生成回路のブロック図である。

【図21】 図20の通倍回路のブロック図である。

【図22】 図21の通倍回路のタイミングチャートである。

【図23】 図20の位相同期回路のブロック図である。

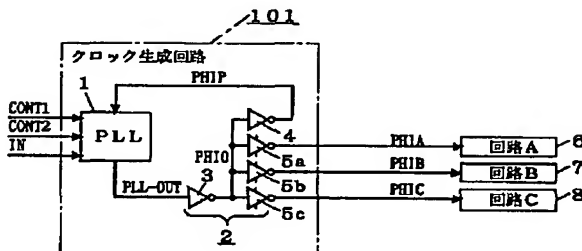
【図24】 図23の位相同期回路のタイミングチャートである。

【図25】 図20のクロック生成回路のタイミングチャートである。

【符号の説明】

9 バルスカウンタ、12, 30, 40 演算器、13, 31 カウンタ、15, 32 デコーダ、16 デジタルディレイライン（可変遅延回路）、18, 35 位相比較器、25 ラッチ（リセット回路）、41 マルチプレクサ、48 セレクタ、60 パワーオンリセット回路、CONT1 制御信号、CONT2 制御信号、EX-RST 外部リセット（リセット信号）、IN 入力クロック、N-OUT 通倍クロック（出力クロック）、PLL-RST リセット信号（制御信号）、PW-RST パワーオンリセット信号（リセット信号）、Vcc 電源電圧、x, y 計数値。

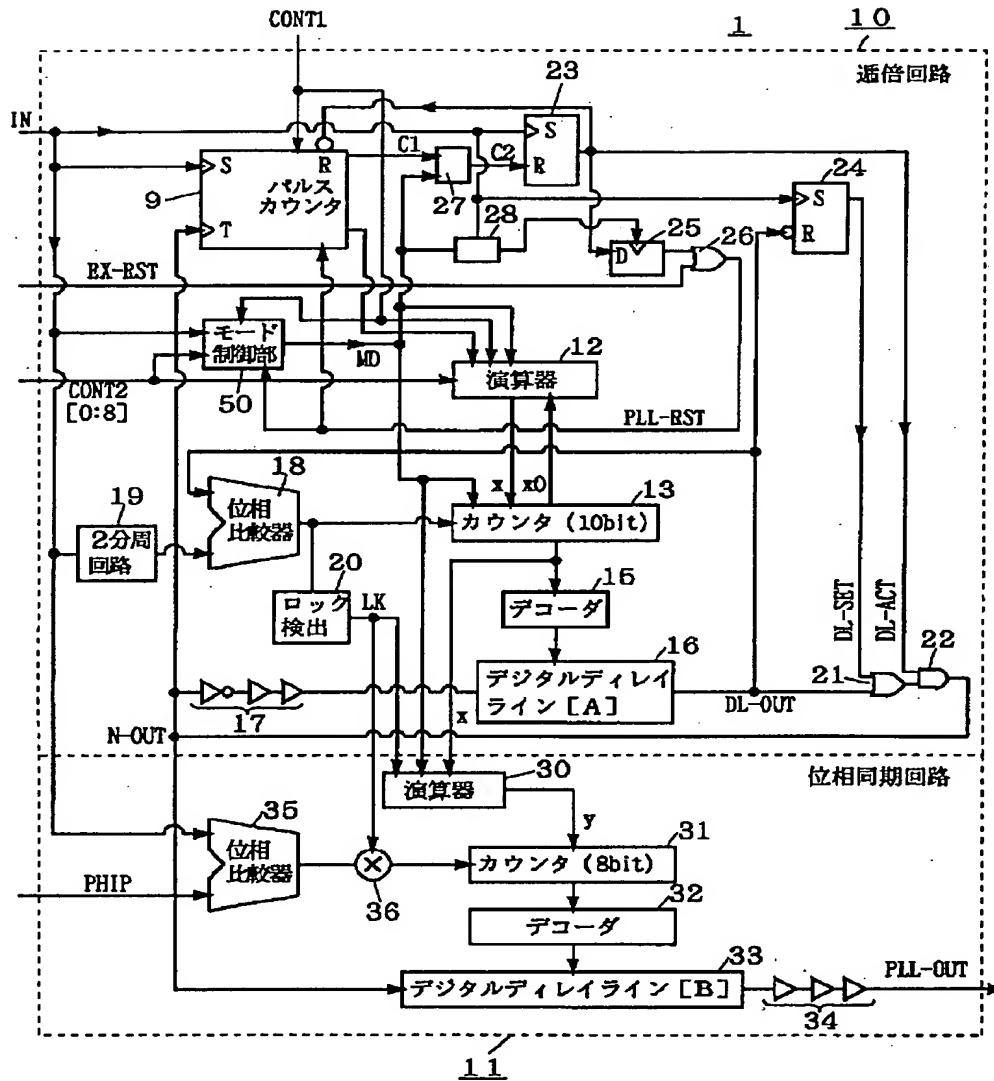
【図1】



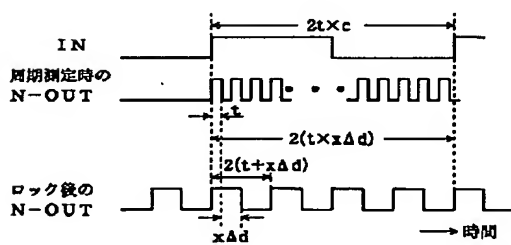
【図4】

動作モード	MD1	MD2
入力クロック周期計測モード	0	0
カウンタ演算・セットモード	1	0
微調整（通常動作）モード	1	1

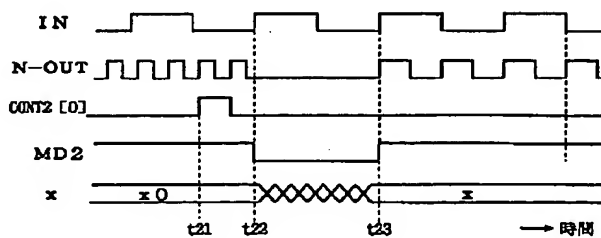
【図2】



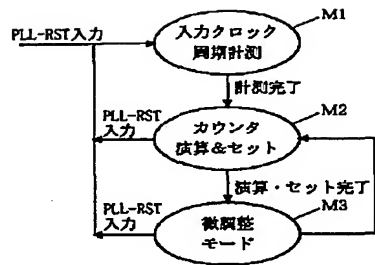
【図6】



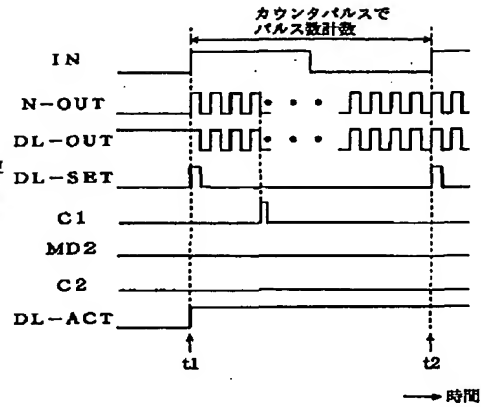
【図8】



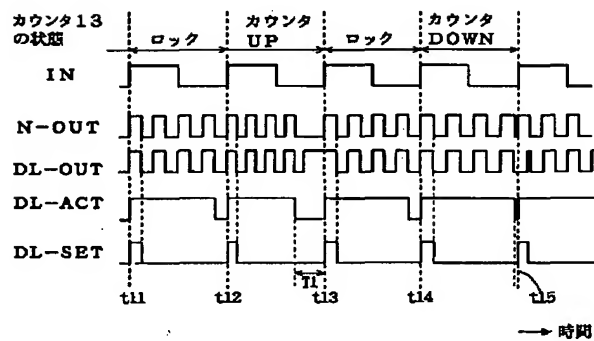
【図3】



【図5】



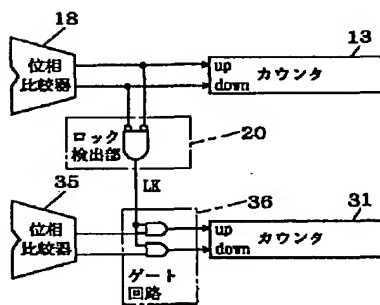
【図7】



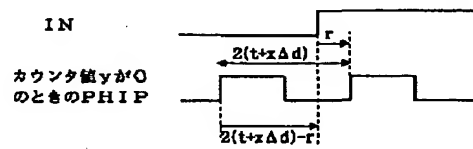
【図9】

CONT2 [1:8]	1
00000001	1/16
00000010	1/4
00000100	1/3
00001000	1/2
00010000	1.5
00100000	2
01000000	3
10000000	4

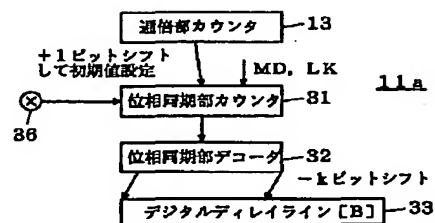
【図10】



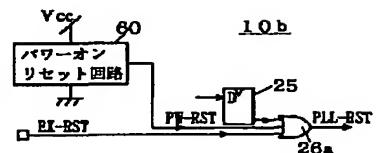
【図11】



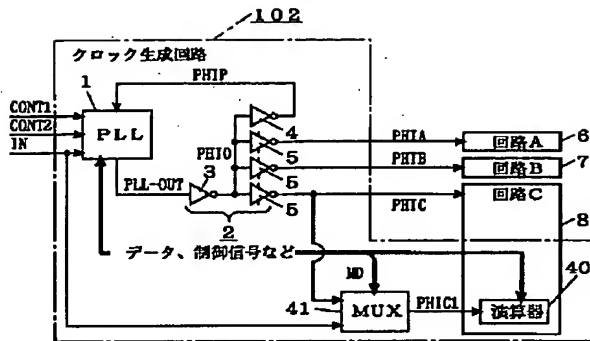
【図15】



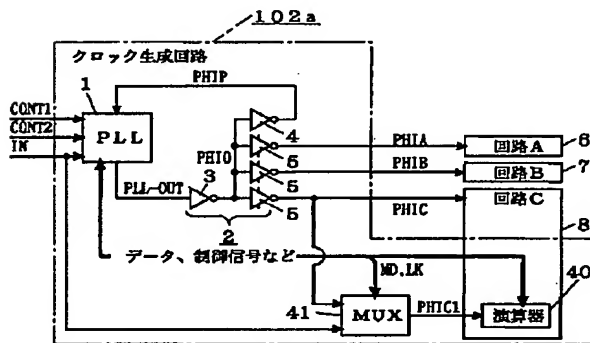
【図16】



【図12】

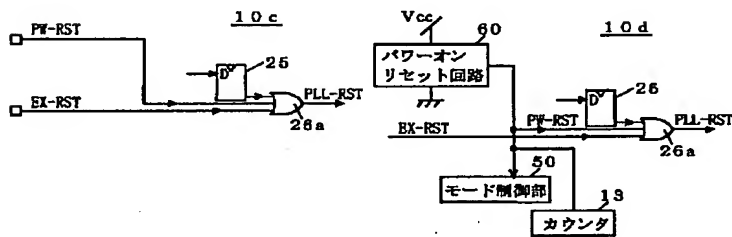


【図13】



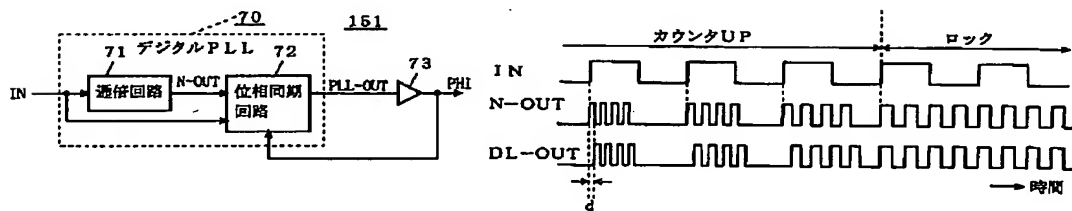
【図18】

【図19】

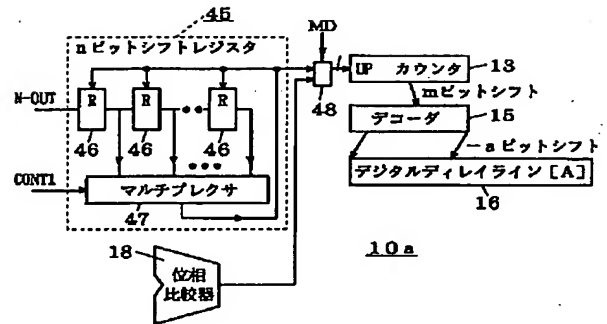


【図20】

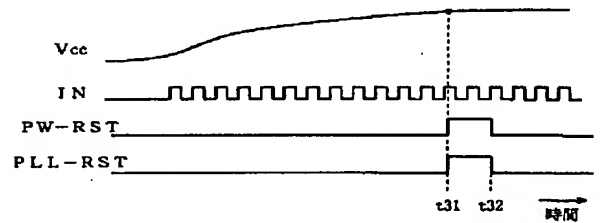
【図22】



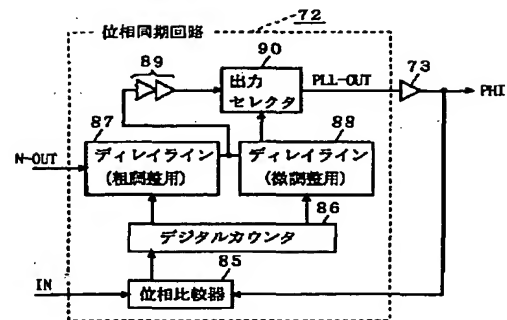
【図14】



【図17】



【圖 23】



【圖 25】

